

PAT-NO: JP401286361A

DOCUMENT-IDENTIFIER: JP 01286361 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: November 17, 1989

INVENTOR-INFORMATION:

NAME
MATSUMOTO, YASUHIKO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP63116103

APPL-DATE: May 12, 1988

INT-CL (IPC): H01L029/72, H01L021/205 , H01L021/31 , H01L029/78

US-CL-CURRENT: 257/487, 438/365

ABSTRACT:

PURPOSE: To arrange the constitution so that characteristic abnormality such as drop of withstand voltage of a device, etc., may not occur by providing an insulation film formed on the surface of a selected epitaxial layer by a rotary application method.

CONSTITUTION: As is doped to a P type silicon substrate 1 so as to form an N type buried layer 2 and an oxide film 3 is grown at the surface. A window is opened inside the buried layer 2, and a phosphorous doped N type SEG (selective

epitaxial growth) area 4 is grown. And an oxide film 5 is grown on the SEG area 4. Next, an insulation film 8 is formed by a rotary application method. Since applied film is formed thick on a facet 7 at the corner part of the SEG area 4 this way and the entire surface of the SEG area 4 is planed, if boron is implanted by an ion implanting method, uniform base 6 is formed. Hereby, even if impurity is implanted by the ion implanting method, an impurity introduced layer is formed uniformly to the depth direction inside the selective epitaxial layer, therefore drop of withstand voltage does not occur.

COPYRIGHT: (C)1989,JPO&Japio

⑪ 公開特許公報(A) 平1-286361

⑫ Int. Cl.

H 01 L 29/72
21/205
21/31
29/78

識別記号

3 0 1

府内整理番号

8526-5F
7739-5F
Z-6824-5F
Z-8422-5F

⑬ 公開 平成1年(1989)11月17日

⑭ 発明の名称 半導体装置

⑮ 特願 昭63-116103

⑯ 出願 昭63(1988)5月12日

⑰ 発明者 松本 康彦 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代理人 弁理士 内原 晋

明細書

発明の名称

半導体装置

特許請求の範囲

半導体基板上の絶縁膜の開口部に選択的に形成されたエピタキシャル層表面に回転塗布法で形成された絶縁膜を設けたことを特徴とする半導体装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関し、特に選択エピタキシャル成長領域を有する半導体装置に関する。

〔従来の技術〕

従来の選択エピタキシャル成長(Selective Epitaxial Growth、以下SEGと記す)領域を有する半導体装置の一つとして、シリコンのSEG領域を有するバイポーラトランジスタがある。

第3図(a), (b)は従来のトランジスタのベースまで形成した半導体チップの平面図及びB-B'線断面図である。

結晶面が(100)であるP型Si基板1の表面にAsをドープしてN型の埋込層2を形成し、この埋込層2の酸化膜厚が1.0μmになるようにシリコン酸化膜3を成長させる。埋込層2の内側に窓開けを行い、この中にだけSiが析出する成長条件でN型のSEG層4を成長させる。SEG層4の上に酸化膜5を形成した後、イオン注入法により、ホウ素を打ち込み熱処理を行ないベース層6を形成する。さらにエミッタとA'電極を通常の方法を用いて形成する(図示せず)。

〔発明が解決しようとする課題〕

上述したSEG領域を有するバイポーラデバイスでは、長方形のSEG領域4の辺が<100>方向を向くように配置されているため、SEG領域4のコーナー部にファセットと呼ばれる(100)面とは異なる成長面7が現われる。このため、

ベースを形成すると、第3図に見られるように、ファセット7の下のベース層6が埋込層2に近づくため、N型SEG領域4のコレクタと、P型のベース層6の耐圧が低下するという問題がある。
〔課題を解決するための手段〕

本発明の半導体装置は、半導体基板上の絶縁膜の開口部に選択的に形成されたエピタキシャル層表面に回転塗布法で形成された絶縁膜を設けたものである。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例の断面図である。

P型シリコン基板1にAsをドープしてN型の埋込層2を形成し、表面に酸化膜3を成長させる。埋込層2の内側に窓開けを行い、厚さ1.5μm、抵抗率0.8Ω·cmのリンドープN型SEG(選択エピタキシャル成長)領域4を成長させる。選択エピタキシャル成長は、シリングータイプの減

圧エピタキシャル成長装置を用いて下記条件で行なった。

成長温度	900°C
SiH ₂ Cl ₂ 流量	300 SCCM
HCl 流量	500 SCCM
PH ₃ 流量	25 SCCM (H ₂ ベース 50ppm)
H ₂ 流量	60 SLM

成長時圧力 40 Torr

このSEG領域4の上に厚さ200nmの酸化膜5を成長させる。次に、塗布法を用いて絶縁膜8を形成する。本実施例では、シリコン酸化膜8は、ケイ素化合物[R_nSi(OH)_{4-n}]が有機溶剤に溶解したものを表面に回転塗布した後、熱処理を行ない、有機溶剤を膜中から焼き飛ばしたり、薄膜と焼き縮めたりすることで得られる。膜厚はケイ素化合物の濃度や、塗布時の回転数で制御することができる。

こうしてSEG領域4のコーナー部のファセッ

ト7上には厚く塗布膜が形成されSEG領域4の表面全体が平坦になるためイオン注入法でホウ素を打込むと均一なベース6が形成できる。

第2図(a), (b)は本発明の第2の実施例の平面図及び断面図である。

第2の実施例は、Nチャネル型のMOSトランジスタを作り込んだ例である。ホウ素濃度 $1 \times 10^{19} \text{ cm}^{-3}$ のP型Si基板1に厚さ1.0μmのシリコン酸化膜3を設け、選択エッチングして開口部を設け、開口部にSEG領域4を形成する。SEG領域4上に厚さ20nmのゲート酸化膜12を設け、その上に多結晶シリコンでゲート電極13を形成する。次に、ソース・ドレイン領域14を形成するためのAsのイオン注入を行うが、このままではファセット7の領域でAsが深く入りP型Si基板1に近づくため、ソース・ドレイン領域14と基板1との間の耐圧が低下する。そこで、ゲート酸化膜12を形成した後、第1の実施例と同様に塗布法を用いて酸化膜8を形成し、SEG層4全体を平坦にすることにより、

Asのイオン注入によってソース・ドレイン領域14を形成しても、ファセット7の領域でAsが深く入ることがないので、耐圧は低下しない。

〔発明の効果〕

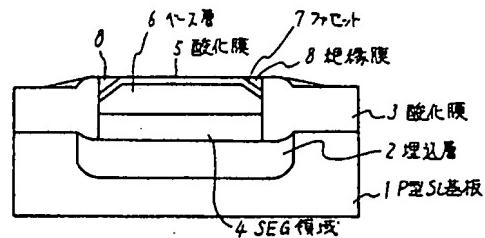
以上説明したように、本発明は、選択エピタキシャル層表面に回転塗布法で形成した絶縁膜を設けたので、選択エピタキシャル層表面全体が平坦になり、イオン注入法で不純物を打込んでも選択エピタキシャル層内の深さ方向に対し不純物導入層が均一に形成されるため、デバイスの耐圧低下等の特性異常は発生しないという効果がある。

図面の簡単な説明

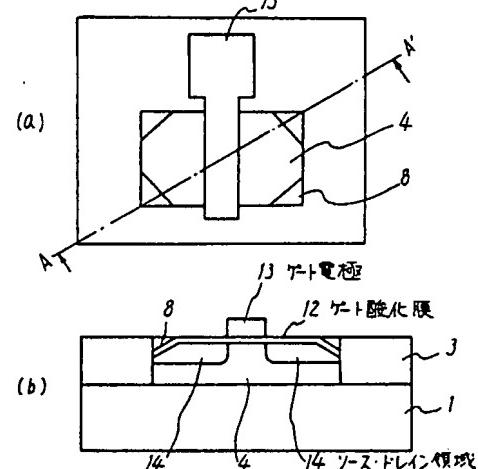
第1図は本発明の第1の実施例の断面図、第2図(a), (b)は本発明の第2の実施例の平面図及びA-A'線断面図、第3図(a), (b)は従来のトランジスタのベースまで形成した半導体チップの平面図及びB-B'線断面図である。

1…P型Si基板、2…埋込層、3…酸化膜、4…SEG膜、5…酸化膜、6…ベース層、7…

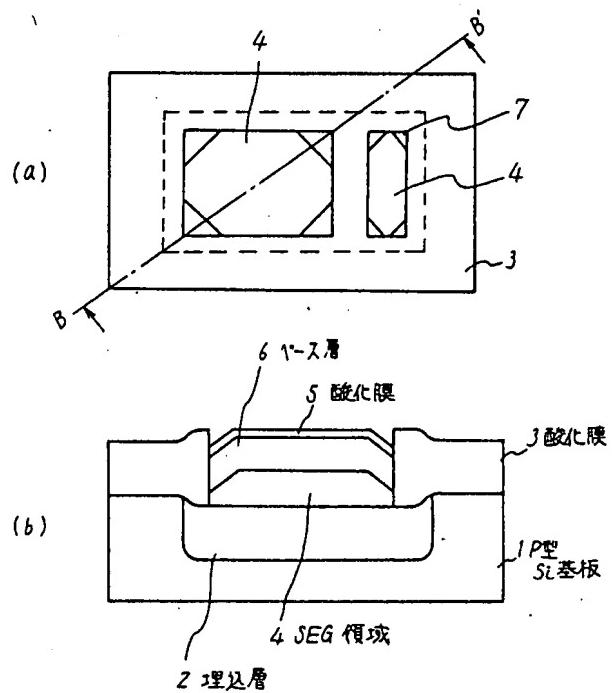
ファセット、8…酸化膜、12…ゲート酸化膜、
13…ゲート電極、14…ソース・ドレイン領域。
代理人 弁理士 内 原 骨



第1図



第2図



第3図

PTO: 2007-4568

Japanese Published Unexamined Patent Application (A) No. 01-286361, published November 17, 1989; Application Filing No. 63-116103, filed ; Inventor(s): Yasuhiko Matsumoto; Assignee: Nippon Electric Corporation; Japanese Title: Semiconductor Devices

SEMICONDUCTOR DEVICES

CLAIM(S)

A semiconductor device characterized in that an insulating film formed by a rotary coating method is installed on the surface of an epitaxial layer selectively formed in an opening section of the insulating film on the semiconductor device.

DETAILED DESCRIPTION OF THE INVENTION

(Field of Industrial Application)

The present invention pertains to a semiconductor device, particularly to the semiconductor device having a selective epitaxial growth region.

(Prior Art)

As one of the semiconductor devices having a selective epitaxial growth (SEG) region, there is a bipolar transistor having a silicon SEG region.

Fig. 3 (a), (b) show a planar view of the prior art transistor with a base formed and a sectional view at the B – B' line.

On the surface of P-type Si substrate 1 with its crystalline surface <100>, As is doped to form an N-type imbedded layer 2, and a silicon oxide film 3 is made to grow so that the oxide film thickness of imbedded layer 2 becomes 1.0 μm . An opening is made in the inner side of the imbedded layer 2, and the N-type SEG layer 4 is made to grow by using the parameters at which Si is deposited inside this opening only. After an oxide film 5 is formed on the SEG region 4, boron is implanted by an ion implantation method, and a base layer 6 is formed by heat treatment. Then, an emitter and an Al electrode are formed by a conventional method (not shown in the figure).

(Problems of the Prior Art to Be Addressed)

With the bipolar device having the aforementioned SEG region, the edge of rectangular SEG region 4 is positioned to orient in the <100> direction, so a growth surface 7 different from <100> surface and called a facet appears in the corners of SEG region 4. Therefore, as shown in Fig. 3, when the base is formed, the base layer 6 underneath the facet 7 comes closer to the imbedded layer 2, lowering the breakdown voltage of collector in N-type SEG region 4 and that of P-type base layer 6, which is a problem.

(Means to Solve the Problems)

With the semiconductor device of the present invention, an insulting film formed by a rotary coating method is formed on the surface of epitaxial layer selectively formed in the opening section of the insulating film on the semiconductor substrate.

(Embodiment)

An example of the embodiment of the present invention is explained with reference to the drawings.

Fig. 1 shows a sectional view of the first embodiment example of the present invention.

After forming an N-type imbedded layer 2 in the P-type silicon substrate 1 by doping As, an oxide film 3 is formed on the surface. An opening is made inside the imbedded layer 2, and phosphorous-doped N-type SEG region 4 with thickness 1.5 μm and resistivity 0.8 Ωcm is made to grow. The selective epitaxial growth was conducted by the following parameters and by using a cylinder type reduced pressure epitaxial growth device.

Growth temperature: 900°C

SiH₂Cl₂ flow rate: 300 SCCM

HCl flow rate: 500 SCCM

PH₃ flow rate: 25 SCCM (H₂ base 50 ppm)

H₂ flow rate: 60 SLM

Pressure at growth time: 40 Torr

Then, on this SEG region 4, a 200 nm thick oxide film 5 is made to grow. Subsequently, by using the coating method, the insulating film 8 is formed. In this example, a silicon oxide film was used. The oxide film 8 formed by a silicon coating method is produced by rotary-coating a silicon compound [R_nSi(OH)_{4-n}] dissolved in an organic solvent on the surface, putting through heat-treatment, dissipating the organic solvent from the film, and by baking along with a thin film. The film thickness can be controlled by the number of rotations at a time of coating and concentration of silicon compound.

Accordingly, on the corner sections of SEG region 4, the thick coated film is formed and the entire surface of SEG region 4 becomes uniformly planar; therefore, a uniform base 6 is formed when boron is implanted by an ion-implantation method.

Fig. 2 (a), (b) show a planar view and a sectional view of the second embodiment example.

The second embodiment example is an example wherein the N-channel type MOS transistor is built in. In the P-type Si substrate 1 with

boron concentration $1 \times 10^{19} \text{ cm}^{-3}$, the silicon oxide film 3 with thickness 1.0 μm is installed, and after the selective etching is done to make an opening, the SEG region 4 is formed in the opening. A gate oxide film 12 with thickness 20 nm is installed on the SEG region 4 and on this surface, is formed a gate electrode 13 out of polycrystalline silicon. Subsequently, As is implanted by an ion implantation method for forming the source and drain regions 14. At this point, however, As is implanted deep in the region of facets 7 coming closer to the P-type Si substrate 1, so the breakdown voltage is dropped between the source/drain regions and substrate 1. Therefore, after the gate oxide film 12 is formed, the oxide film 8 is formed by using the same coating method as in the first embodiment example 1 to make the entire SEG layer 4 planar. By this, even if the source and drain regions 14 are formed by ion implantation of As, the As does not seep deep into the region of facet 7, so the breakdown voltage is not dropped.

(Advantage)

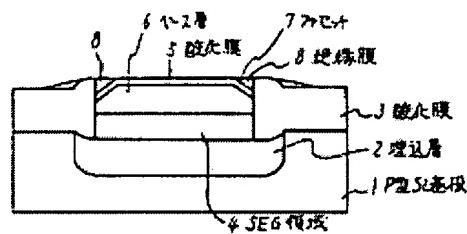
As explained above, in the present invention, since an insulating film is formed by a rotary coating method on the selective epitaxial layer surface, the entire surface of selective epitaxial layer becomes planar, so an impurity introducing layer is uniformly formed in the depth direction of the selective epitaxial layer when impurities are implanted by an ion implantation

method, by which abnormality in characteristics, such as drop of breakdown voltage in the device, does not happen.

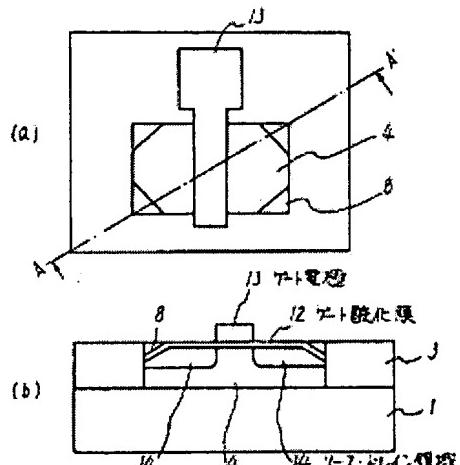
BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 shows a sectional view of the first embodiment example of the present invention. Fig. 2 (a), (b) show a planar view and sectional view at A – A' line of the second embodiment example of the present invention, respectively. Fig. 3 (a), (b) show a planar view of semiconductor chip in which is formed the base of the prior art transistor and a sectional view at the B-B' line, respectively.

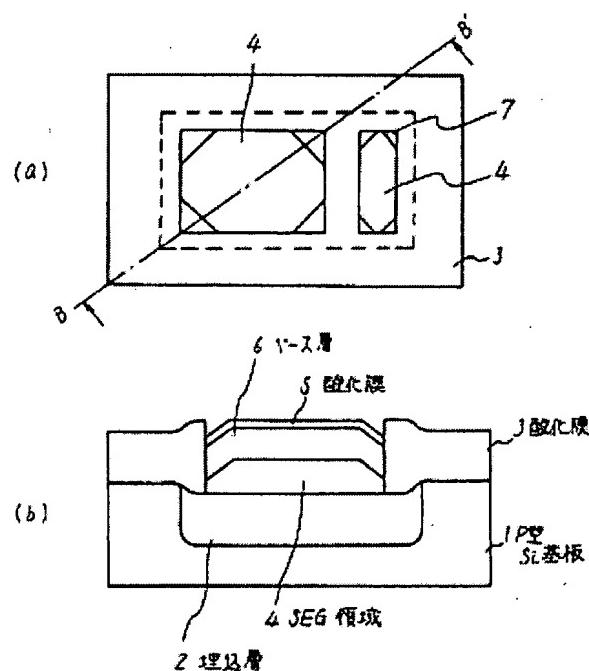
1. P-type Si substrate
2. imbedded layer
3. oxide layer
4. SEG film
5. oxide film
6. base layer
7. facet
8. oxide film
12. gate oxide film
13. gate electrode
14. source and drain regions



第 1 図



第 2 図



第 3 図

Translations
U. S. Patent and Trademark Office
5/29/07
Akiko Smith